

Attorney's Docket No. 5649-1122

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Shin et al. Confirmation No.: 3807
Serial No.: 10/606,048 Examiner: Howard Weiss
Filed: June 25, 2003 Group Art Unit: 2814
For: INTEGRATED CIRCUIT CONDUCTIVE CONTACT STRUCTURES INCLUDING
GROOVES AND FABRICATION METHODS THEREOF

April 28, 2004

Mail Stop Non-Fee Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of
Korean priority Application No. 10-2002-0035931, filed June 26, 2002.

Respectfully submitted,

Mitchell S. Bigel
Registration No. 29,614

Customer No. 20792
Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Mail Stop Non-Fee Amendment, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on April 28, 2004.

Susan E. Freedman
Date of Signature: April 28, 2004

**KOREAN INTELLECTUAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

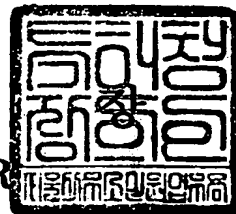
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 04 04 04 04

특 허 청

COMMISSIONER



【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.03.18
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2002-0035931
【출원일자】	2002.06.26
【심사청구일자】	2002.06.26
【발명의 명칭】	도전성 콘택 구조 및 그 제조방법
【제출원인】	
【접수번호】	1-1-02-0200722-43
【접수일자】	2002.06.26
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	신주철
【성명의 영문표기】	SHIN, JU CHEOL
【주민등록번호】	700817-1069628

【우편번호】	156-090
【주소】	서울특별시 동작구 사당동 105번지 사당우성아파트 304동 10 02호
【국적】	KR
【발명자】	
【성명의 국문표기】	이현덕
【성명의 영문표기】	LEE, HYEON DEOK
【주민등록번호】	610307-1024611
【우편번호】	135-240
【주소】	서울특별시 강남구 개포동 653번지 현대아파트 104동 603호
【국적】	KR
【발명자】	
【성명의 국문표기】	박홍미
【성명의 영문표기】	PARK, HONG MI
【주민등록번호】	780730-2051711
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산 24번지 여자기숙사 수선화 동 110호
【국적】	KR
【발명자】	
【성명의 국문표기】	박인선
【성명의 영문표기】	PARK, IN SUN
【주민등록번호】	610515-1551717
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 풍덕천리 삼성5차 아파트 519 동 206호
【국적】	KR
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정 에 의하여 위와 같 이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

1020020035931

출력 일자: 2003/4/7

【수수료】

【보정료】 0 원

【기타 수수료】 원

【합계】 0 원

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0005
【제출일자】 2002.06.26
【발명의 명칭】 도전성 콘택 구조 및 그 제조방법
【발명의 영문명칭】 CONDUCTIVE CONTACT STRUCTURE AND FABRICATION METHOD THEREOF

【출원인】

【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3

【대리인】

【성명】 임창현
【대리인코드】 9-1998-000386-5
【포괄위임등록번호】 1999-007368-2

【대리인】

【성명】 권혁수
【대리인코드】 9-1999-000370-4
【포괄위임등록번호】 1999-056971-6

【발명자】

【성명의 국문표기】 신주철
【성명의 영문표기】 SHIN, JU CHEOL
【주민등록번호】 700817-1069628
【우편번호】 156-090
【주소】 서울특별시 동작구 사당동 105번지 사당우성아파트 304동 1002호
【국적】 KR

【발명자】

【성명의 국문표기】 이현덕
【성명의 영문표기】 LEE, HYEON DEOK
【주민등록번호】 610307-1024611
【우편번호】 135-240

【주소】	서울특별시 강남구 개포동 653번지 현대아파트 104동 603호
【국적】	KR
【발명자】	
【성명의 국문표기】	박홍미
【성명의 영문표기】	PARK, HONG MI
【주민등록번호】	780730-2051711
【우편번호】	140-111
【주소】	서울특별시 용산구 원효로1가 57-10호 1통 7반
【국적】	KR
【발명자】	
【성명의 국문표기】	박인선
【성명의 영문표기】	PARK, IN SEON
【주민등록번호】	610515-1551717
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 풍덕천리 삼성5차 아파트 519동 20호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	9 면 9,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	26 항 941,000 원
【합계】	979,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

하부 콘택 구조와 상부 콘택 구조가 일체를 이루는 도전성 콘택 및 그 제조방법이 개시된다. 기판 상에 하부 층간절연막을 형성하고, 상기 하부 층간절연막을 선택적으로 식각하여 상기 기판을 노출시키는 하부 콘택홀을 형성한다. 상기 하부 콘택홀의 바닥 및 측벽에 내부에 홈을 갖는 하부 콘택을 형성하고, 상기 홈을 갖는 하부 콘택 상에 상부 층간절연막을 형성한다. 상기 상부 층간절연막을 관통하여 상기 홈을 갖는 하부 콘택을 노출시키는 상부 콘택홀을 형성하고, 상기 상부 콘택홀의 내부를 도전물질로 채워 상부 콘택을 형성한다. 이와 같이, 도전성 콘택의 제조방법은 CMP 공정을 사용하지 않으므로 결함 발생이 적으며, 구조적으로 안정한 도전성 콘택을 형성할 수 있다.

【대표도】

도 2a

【색인어】

콘택, 비트라인 콘택, 화학 기상 증착법, 화학적 기계적 연마, 배리어 메탈

【명세서】

【발명의 명칭】

도전성 콘택 구조 및 그 제조방법{CONDUCTIVE CONTACT STRUCTURE AND FABRICATION METHOD THEREOF}

【도면의 간단한 설명】

도 1은 종래기술에 의한 DRAM(Dynamic Random Access Memory)에서의 셀 영역과 주변회로 영역을 나타내는 단면도,

도 2a 및 도 2b는 본 발명의 일실시예에 의한 DRAM(Dynamic Random Access Memory)에서의 셀 영역과 주변회로 영역을 나타내는 단면도,

도 3 내지 도 7은 본 발명의 일실시예에 따른 도전성 콘택 구조의 제조방법을 순서대로 도시한 단면도들이다.

*도면의 주요 부분에 대한 부호의 설명

100, 102 : 기판	14, 114 : 저도핑 불순물 영역
18, 118 : 고도핑 불순물 영역	20, 120 : 제1 층간절연막
29, 129 : 비트라인 콘택	30, 130 : 하부 콘택
32a, 132a : 비트라인	32b, 132b : 상호연결라인
36, 136 : 제2 층간절연막	50, 150 : 제3 층간절연막
60, 160 : 상부 콘택	62, 162 : 금속 배선
80, 100 : 셀 영역	90, 200 : 주변회로 영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 도전성 콘택 구조 및 그 제조방법에 관한 것으로, 특히 하부 콘택 구조와 상부 콘택 구조가 일체를 이루는 도전성 콘택 및 그 제조방법에 관한 것이다.
- <13> 반도체 집적회로에서는 다층 배선간 또는 배선과 기판 사이를 도전성 콘택을 통하여 전기적으로 연결하고 있다.
- <14> 도 1은 종래기술에 의한 DRAM(Dynamic Random Access Memory)에서의 셀 영역과 주변회로 영역을 나타내는 단면도이다. 도면부호 '80'은 셀 영역을 나타내고, 도면부호 '90'은 주변회로 영역을 나타낸다.
- <15> 도 1을 참조하면, 셀 영역(80)에는 기판(2)에 활성영역을 정의하는 트렌치 소자분리 영역(4)이 형성되어 있다. 상기 소자분리 영역(4)이 형성된 기판 상에 게이트 절연막(6), 폴리실리콘막(8), 실리사이드막(10) 및 캐핑 절연막(12)으로 이루어진 게이트 스택이 형성되어 있다. 상기 게이트 스택의 측벽에는 게이트 스페이서(16)가 형성되어 있다. 상기 게이트 스택에 인접한 상기 기판의 활성영역에는 저도핑 불순물 영역(14) 및 고도핑 불순물 영역(18)으로 이루어진 소오스 및 드레인 영역(19)이 형성되어 있다. 상기 스페이서(16)가 측벽에 형성된 게이트 스택을 포함하는 기판 상에는 제1 층간절연막(20)이 형성되어 있고, 상기 제1 층간절연막(20)을 관통하여 비트라인 콘택홀(22)이 형성되어 있다. 상기 비트라인 콘택홀(22) 내에는 배리어 메탈(26) 및 텅스텐막(28)으로 이루어진 비트라인 콘택(29)이 형성되어 있다. 상기 비트라인 콘택(29)이 형성된 상기

제1 층간절연막(20) 상에는 상기 비트라인 콘택(29)과 전기적으로 연결되는 비트라인(32a)이 형성되어 있다. 상기 비트라인(32a) 및 상기 제1 층간절연막(20) 상에는 제2 층간절연막(36)이 형성되어 있다. 상기 제2 층간절연막(36) 및 제1 층간절연막(20)을 관통하여 상기 기판의 소오스 영역(19)을 노출하는 개구부(40)가 형성되어 있으며, 상기 개구부(40)는 폴리실리콘으로 채워져 콘택플러그(42)가 형성되어 있다. 상기 콘택플러그(42)가 형성된 상기 제2 층간절연막(36) 상에는 하부전극(44), 유전체막(46) 및 상부전극(48)으로 이루어진 캐패시터가 형성되어 있다. 상기 캐패시터가 및 상기 제2 층간절연막(36) 상에는 제3 층간절연막(50)이 형성되어 있다. 상기 제3 층간절연막 상에는 배리어 메탈(56) 및 텅스텐막(58)으로 이루어진 금속배선(62)이 형성되어 있다.

<16> 주변회로 영역(90)에는 기판(2)에 활성영역을 정의하는 소자 분리 영역(4)이 형성되어 있고, 상기 활성영역에는 고도핑 불순물 영역(18)이 형성되어 있다. 상기 기판 상에는 하부 층간절연막(20)이 형성되어 있으며, 상기 하부 층간절연막(20)을 관통하여 상기 고도핑 불순물 영역(18)을 노출시키는 하부 콘택홀(24)이 형성되어 있다. 상기 하부 콘택홀(24)에는 배리어 메탈(26) 및 텅스텐막(28)으로 이루어진 하부 콘택(30)이 형성되어 있다. 상기 하부 콘택(30)이 형성된 상기 하부 층간절연막(20) 상에는 상기 하부 콘택(30)과 전기적으로 연결되는 상호연결라인(32b)이 형성되어 있다. 상기 상호연결라인(32b) 및 상기 하부 층간절연막(20) 상에는 상부 층간절연막(52)이 형성되어 있다. 상기 상부 층간절연막(52)을 관통하여 상기 상호

연결라인(32b)을 노출하는 상부 콘택홀(54)이 형성되며, 상기 상부 콘택홀(54)의 내부 및 상기 상부 층간절연막(52) 상에는 배리어 메탈(56) 및 텅스텐막(58)로 이루어진 상부 콘택(60) 및 금속배선(62)이 형성되어 있다. 주변회로 영역(90)에서는 기판의 불순물 도핑 영역(18), 상호연결라인(32b) 및 금속배선(62)은 하부콘택(30) 및 상부콘택(60)을 통하여 서로 전기적으로 연결된다.

<17> 그런데, 상기 하부콘택(30)의 제조방법은 하부 층간절연막(20)에 불순물 영역(18)을 노출하는 하부 콘택홀(24)를 형성하고 상기 하부 콘택홀(24)의 내부 및 상기 제1 층간절연막(20) 상에 배리어 메탈(26) 및 텅스텐막(28)을 형성한다. 이어서, 화학 기계적 연마법(Chemical Mechanical Polishing, 이하 CMP라 함)으로 상기 하부 층간절연막(20)의 표면이 노출될 때까지 평탄화하여 하부 콘택(30)을 형성한다. 그런데, CMP 공정은 그 공정 특성상 평탄화된 표면이 접시 모양을 갖게 되는 디싱(dishing) 현상, 연마제(slurry)에 의한 반도체 장치의 오염(contamination), 및 파티클(particle) 등의 문제점을 발생시킨다. 따라서, CMP에서 발생하는 결함(defect)을 제거하기 위하여는 추가적인 세정 공정을 실시한다.

<18> 이와 같이, 종래의 콘택 형성방법은 CMP 공정을 사용함으로써 CMP 특성으로 인한 디싱 현상의 문제점이 있으며, 또한 CMP 과정에서 발생한 결함(defect)을 제거하기 위한 세정 공정으로 인하여 공정이 복잡한 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 결함이 발생하지 않으며 공정이 간단한 도전성 콘택 구조 및 그 제조방법을 제공하는데 목적이 있다.

<20> 또한, 구조적으로 안정하고 신뢰성이 있는 도전성 콘택 구조 및 그 제조방법을 제 공하는데 목적이 있다.

【발명의 구성 및 작용】

<21> 상기 목적을 달성하기 위하여, 본 발명의 도전성 콘택 구조는 기판 상에 층간절연 막이 형성되어 있다. 상기 하부 층간절연막을 관통하여 상기 기판을 노출시키는 하부 콘택홀이 형성되어 있으며, 상기 하부 콘택홀의 측벽 및 바닥에 콘포멀하게 형성되되, 내 부에 홈을 갖는 하부 콘택이 형성되어 있다. 상기 홈을 갖는 하부 콘택 상에 상부 층간 절연막이 형성되어 있으며, 상기 상부 층간절연막을 관통하여 상기 홈을 갖는 하부 콘택 을 노출시키는 상부 콘택홀이 형성되어 있다. 상기 상부 콘택홀의 내부는 도전물질로 채 우는 상부 콘택이 형성되어 있다. 상술한 도전성 콘택구조는 하부 콘택에 형성된 홈을 상부 콘택이 채우게 되는 일체형의 도전성 콘택구조로써 구조적으로 안정하고 신뢰성이 있는 콘택구조이다.

<22> 또한, 본 발명의 도전성 콘택 제조방법은 기판 상에 하부 층간절연막을 형성하고, 상기 하부 층간절연막을 선택적으로 식각하여 상기 기판을 노출시키는 하부 콘택홀을 형 성한다. 상기 하부 콘택홀의 바닥 및 측벽에 내부에 홈을 갖는 하부 콘택을 형성하고, 상기 홈을 갖는 하부 콘택 상에 상부 층간절연막을 형성한다. 상기 상부 층간절연막을 관통하여 상기 홈을 갖는 하부 콘택을 노출시키는 상부 콘택홀을 형성하고, 상기 상부 콘택홀의 내부를 도전물질로 채워 상부 콘택을 형성한다. 상술한 도전성 콘택의 제조방 법은 CMP 공정을 사용하지 않으므로 결함 발생이 적으며, 구조적으로 안정한 도전성 콘택을 형성할 수 있다.

- <23> 상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 상세히 설명한다.
- <24> 도 2a 및 도 2b는 본 발명의 일 실시예에 의한 DRAM(Dynamic Random Access Memory)에서의 셀 영역(100)과 주변회로 영역(200)을 나타내는 단면도이다.
- <25> 도 2a를 참조하면, 셀 영역(100)에는 기판(102)에 활성영역을 정의하는 소자 분리 영역(104)이 형성되어 있다. 상기 소자 분리 영역(104)이 형성된 기판(102) 상에 게이트 절연막(106), 폴리실리콘막(108), 실리콘사이드막(110) 및 캐핑 절연막(112)으로 이루어진 게이트 스택이 형성되어 있다. 상기 게이트 스택의 측벽에는 게이트 스페이서(116)가 형성되어 있다. 상기 게이트 스택에 인접한 상기 기판에는 저도핑 불순물 영역(114) 및 고도핑 불순물 영역(118)으로 이루어진 소오스 및 드레인 영역(119)이 형성되어 있다. 상기 게이트 스택이 형성된 기판 상에는 제1 층간절연막(120)이 형성되어 있다. 상기 제1 층간절연막(120)을 관통하여 상기 드레인 영역(119)을 노출시키는 비트라인 콘택홀(122)이 형성되어 있다. 상기 비트라인 콘택홀(122) 내에는 제1 배리어 메탈(126) 및 제1 도전막(128)으로 이루어진 비트라인 콘택(129)이 형성되어 있다. 상기 비트라인 콘택(129)이 형성된 제1 층간절연막 상에는 상기 비트라인 콘택(129)과 연결되는 비트라인(132a)이 형성되어 있다. 상기 비트라인(132a) 및 상기 제1 층간절연막(120) 상에는 제2 층간절연막(136)이 형성되어 있다. 상기 제2 층간절연막(136) 및 제1 층간절연막(120)을 관통하여 상기 기판의 소오스 영역(119)을 노출하는 개구부(140)가 형성되어 있으며, 상기 개구부(140)는 폴리실리콘으로 채워져 콘택플러그(142)가 형성되어 있다. 상기 콘택플러그(142)가 형성된 상기 제2 층간절연막(136) 상에는 하부전극(144), 유전체막(146) 및

상부전극(148)으로 이루어진 캐패시터가 형성되어 있다. 상기 캐패시터가 및 상기 제2 층간절연막(136) 상에는 제3 층간절연막(150)이 형성되어 있다. 상기 제3 층간절연막(150) 상에는 제2 배리어 메탈(156) 및 제2 도전막(158)으로 이루어진 금속배선(162)이 형성되어 있다.

<26> 주변회로 영역(200)에는 기판(102)에 활성영역을 정의하는 소자 분리 영역(104)이 형성되어 있다. 상기 활성영역에는 고도핑 불순물 영역(118)이 형성되어 있다. 상기 기판 상에는 하부 층간절연막(120)이 형성되어 있다. 상기 하부 층간절연막(120)을 관통하여 상기 고도핑 불순물 영역(118)을 노출하는 하부 콘택홀(124)이 형성되어 있으며, 상기 하부 콘택홀(124) 내에는 제1 배리어 메탈(126) 및 제1 도전막(128)으로 이루어진 하부 콘택(130) 및 상호연결라인(132b)이 형성되어 있다. 주목할 점은 상기 하부 콘택(130)은 내부에 홈(133)이 형성되어 있다. 상기 하부 콘택(130), 상기 상호연결라인(132b) 및 하부 층간절연막(120) 상에는 상부 층간절연막(152)이 형성되어 있다. 상기 상부 절연막(152)을 관통하여 상기 하부콘택(130)을 노출하는 상부 콘택홀(154)이 형성되며, 상기 상부 콘택홀(154)의 내부 및 상기 상부 층간절연막(150) 상에는 제2 배리어 메탈(156) 및 제2 도전막(158)으로 이루어진 상부 콘택(160) 및 금속배선(162)이 형성되어 있다.

<27> 도 2b를 참조하면, 주변회로 영역(200)에서는 상호연결라인(132b)이 형성되지 않고, 상기 기판의 고도핑 불순물 영역(118)이 하부 콘택(130) 및 상부 콘택(160)을 통하여 금속배선(162)과 연결될 수도 있다.

<28> 도 3 내지 도 7은 본 발명의 일실시예에 따른 도전성 콘택 구조의 제조방법을 순서대로 도시한 단면도들이다. 도면부호 '100'은 셀 영역을 나타내며, 도면부호 '200'은 주변회로 영역을 나타낸다.

<29> 도 3을 참조하면, 셀 영역(100)에는 기판(102)에 활성 영역을 정의하는 소자 분리 영역(104)을 정의한다. 즉, 상기 기판(102)의 소정 영역을 선택적으로 식각하여 트렌치를 형성하고, 상기 트렌치를 충분히 채우는 절연물을 매립하고 화학기계적 연마하여 소자 분리 영역(104)을 형성한다. 이어서, 활성 영역이 정의된 기판(102) 상에 게이트 절연막(106), 폴리실리콘막(108), 실리사이드막(110) 및 캐핑 절연막(112)을 순서대로 적층한다. 상기 캐핑 절연막(112), 실리사이드막(110), 폴리실리콘막(108) 및 게이트 절연막(106)을 패터닝하여 게이트 스택을 형성한다. 상기 게이트 스택 및 소자 분리 영역(104)을 이온주입의 마스크로 이용하여 저도핑 불순물 영역(114)을 형성한다. 상기 게이트 스택이 형성된 기판 전면에 스페이서 절연막을 형성하고, 이방성 플라즈마 에치백하여 상기 게이트 스택의 측벽에 게이트 스페이서(116)를 형성한다. 이어서, 상기 게이트 스페이서(116)가 측벽에 형성된 게이트 스택 및 상기 소자 분리 영역을 이온주입의 마스크로 이용하여 고도핑 불순물 영역(118)을 형성한다. 셀 영역(100)에서는 상기 저도핑 불순물 영역(114) 및 고도핑 불순물 영역(118)은 소오스 및 드레인 영역(119)이 된다. 이어서, 게이트 스택이 형성된 기판 전면에 제1 층간절연막(120)을 형성하고 평탄화한 후에 통상의 사진 식각 공정을 진행하여 비트라인 콘택홀(122)을 형성한다.

<30> 주변회로 영역(200)에서는 기판(102)에 활성영역을 정의하는 소자 분리 영역(104)을 형성한다. 상기 소자 분리 영역(104)을 이온주입 마스크로 이용하여 상기 활성영역에 고도핑 불순물 영역(118)을 형성한다. 상기 고도핑 불순물 영역(118) 및 소자 분리 영역

(104)이 형성된 기판(102) 상에 하부 층간절연막(120)을 형성한다. 상기 하부 층간절연막(120)을 관통하여 상기 고도핑 불순물 영역(118)을 노출하는 하부 콘택홀(124)를 형성한다. 주변회로 영역의 하부 콘택홀(124)는 셀 영역에서의 비트라인 콘택홀(122)보다 더 넓게 형성한다.

<31> 도 4를 참조하면, 셀 영역(100)에서 상기 비트라인 콘택홀(122)의 내부 및 상기 제1 층간절연막(120)의 상부에 제1 배리어 메탈(126)을 콘포멀하게 형성한다. 상기 제1 배리어 메탈(126)은 티타늄(Ti) 및 티타늄 나이트라이드(TiN)으로 형성할 수 있으며, 형성 방법은 화학 기상 증착(CVD)법을 사용할 수 있다. 상기 제1 배리어 메탈(126) 상에 제1 도전막(128)을 콘포멀하게 형성한다. 상기 제1 도전막(128)은 텅스텐(W)으로 형성할 수 있으며, 형성 방법은 화학 기상 증착(CVD)법을 사용할 수 있다. 도면에 도시된 바와 같이 상기 제1 도전막(128)은 셀 영역(100)의 비트라인 콘택홀(122)을 충분히 채운다.

<32> 주변회로 영역(200)에서는 상기 하부 콘택홀(124)의 내부 및 상기 하부 층간절연막(120) 상에 콘포멀하게 제1 배리어 메탈(126) 및 제1 도전막(128)을 형성한다. 주변회로 영역의 상기 하부 콘택홀(124)는 제1 배리어 메탈(126) 및 제1 도전막(128)으로 충분히 채워지지 않고 홈(133)이 형성되어 있다. 이는 제1 배리어 메탈(126) 및 제1 도전막(128)을 주변회로 영역(100)의 하부 콘택홀(124)를 충분히 채울 정도로 두껍게 형성하지 않기 때문이다. 즉, 상기 제1 배리어 메탈(126) 및 상기 제1 도전막의 두께의 2배보다도 상기 하부 콘택홀(124)의 폭이 더 넓게 형성되어 있다.

<33> 도 5를 참조하면, 셀 영역(100)에서는 상기 제1 도전막(128) 및 상기 제1 배리어 메탈(126)을 통상의 사진 식각 공정을 이용하여 패터닝하여 비트라인 콘택(129) 및 비트라인(bitline, 132a)을 형성하며, 주변회로 영역(200)에서는 상기 제1 도전막(128) 및

상기 제1 배리어 메탈(126)을 패터닝하여 하부콘택(130) 및 상호연결라인(interconnection line, 132b)을 형성한다. 상기 상호연결라인(132b)은 경우에 따라서는 형성되지 않고, 하부 콘택(130)만 형성할 수 있다.

<34> 도 6을 참조하면, 셀 영역(100)에서 상기 비트라인(132a) 및 상기 제1 층간절연막(120) 상에 제2 층간절연막(136)을 형성한다. 상기 제2 층간절연막(136) 및 제1 층간절연막(120)을 관통하여 모스 트랜지스터의 소오스 영역(119)을 노출시키는 개구부(140)를 형성한다. 이어서, 상기 개구부(140)를 폴리실리콘으로 채워 도전성 콘택플러그(142)를 형성한다. 상기 콘택플러그(142)가 형성된 제2 층간절연막(136) 상에 캐패시터를 형성한다. 이 분야의 통상적인 다양한 방법으로 캐패시터를 형성할 수가 있는데, 예컨대, 실린더형, 핀형, 스택형 등의 캐패시터를 형성할 수 있다. 본 발명의 실시예에서는 실린더형의 캐패시터를 형성한다. 실린더 형의 하부전극(144)을 형성한 후에, 상기 하부전극(144)의 내외측면 및 상기 제2 층간절연막(136) 상에 유전체막(146)을 형성한다. 상기 유전체막(146) 상에 상부전극 도전막을 형성하고 패터닝하여 상부전극(148)을 형성한다. 상기 캐패시터 및 상기 제2 층간절연막(136) 상에 제3 층간절연막(150)을 형성하고 평탄화시킨다.

<35> 주변 회로 영역(200)에서는 상기 하부 콘택(130), 상기 상호연결라인(132b) 및 하부 층간절연막(120) 상에 상부 층간절연막(152)을 형성한다. 상기 상부 층간절연막(152)은 제2 층간절연막(136) 및 제3 층간절연막(150)으로 구성된다,

<36> 도 7을 참조하면, 주변회로 영역(200)에서 상기 상부 층간절연막(152)을 선택적으로 식각하여 상기 홈(133)이 형성된 하부콘택(130)을 노출시키는 상부 콘택홀(154)을 형성한다.

<37> 다시 도 2a을 참조하면, 주변회로 영역(200)에는 상기 상부 콘택홀(154)의 내부 및 상기 상부 층간절연막(150)의 상부에 제2 배리어 메탈(156) 및 제2 도전막(158)을 형성하여 상부 콘택(160) 및 금속배선(162)을 형성한다. 상기 제2 배리어 메탈(156)은 티타늄(Ti) 및 티타늄 나이트라이드(TiN)으로 형성할 수 있으며, 형성방법은 화학 기상 증착(CVD)법을 사용할 수 있다. 상기 제1 도전막(128)은 텅스텐(W)으로 형성할 수 있으며, 형성방법은 화학 기상 증착(CVD)법을 사용할 수 있다.

<38> 셀 영역(100)에는 상기 제3 층간절연막(150) 상에 제2 배리어 메탈(156) 및 제2 도전막(158)으로 이루어진 금속배선(162)을 형성한다.

<39> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

<40> 상기와 같이 이루어진 본 발명은, 하부 콘택과 상부 콘택을 연결하는 콘택 구조에서 CMP 공정을 진행하지 않음으로써 결함(defect)의 발생을 억제할 수 있으며, 공정이 간단한 도전성 콘택 구조를 형성할 수 있다.

<41> 또한, 하부 콘택 내에 형성된 홈을 상부 콘택이 채우는 일체형 콘택 구조로 구조적으로 안정한 콘택 구조를 형성할 수 있다.

【특허청구범위】

【청구항 1】

기판;

상기 기판 상에 형성된 하부 층간절연막;

상기 하부 층간절연막을 관통하여 상기 기판을 노출시키는 하부 콘택홀;

상기 하부 콘택홀의 측벽 및 바닥에 콘포멀하게 형성되되, 내부에 홈을 갖는 하부 콘택;

상기 홈을 갖는 하부 콘택 상에 형성된 상부 층간절연막;

상기 상부 층간절연막을 관통하여 상기 홈을 갖는 하부 콘택을 노출시키는 상부 콘택홀; 및

상기 상부 콘택홀의 내부를 채우는 상부 콘택을 포함하는 도전성 콘택 구조.

【청구항 2】

제 1 항에 있어서,

상기 하부 콘택 및 상부 콘택은 배리어 메탈 및 도전막으로 이루어진 것을 특징으로 하는 특징으로 하는 도전성 콘택 구조.

【청구항 3】

제 2 항에 있어서,

상기 배리어 메탈은 티타늄(Ti) 및 티타늄 나이트라이드(TiN)로 이루어진 것을 특징으로 하는 도전성 콘택 구조.

【청구항 4】

제 2 항에 있어서,

상기 도전막은 텅스텐(W)으로 이루어진 것을 특징으로 하는 도전성 콘택 구조.

【청구항 5】

제 1 항에 있어서,

상기 하부 콘택과 전기적으로 연결되며, 상기 하부 콘택과 동시에 형성된 상호연결 라인을 더 포함하는 것을 특징으로 하는 도전성 콘택 구조.

【청구항 6】

제 1 항에 있어서,

상기 상부 콘택과 전기적으로 연결되며, 상기 상부 콘택과 동시에 형성된 금속 배선을 더 포함하는 것을 특징으로 하는 도전성 콘택 구조.

【청구항 7】

트랜지스터가 형성된 기판 상에 형성된 제1 층간절연막;

상기 제1 층간절연막을 관통하여 상기 기판을 노출시키는 비트라인 콘택홀 및 하부 콘택홀;

상기 비트라인 콘택홀의 내부에 형성된 비트라인 콘택 및 상기 하부 콘택홀의 측벽 및 바닥에 콘포멀하게 형성되되 내부에 홈을 갖는 하부 콘택;

상기 비트라인 콘택 및 상기 제1 층간절연막 상에 상기 비트라인 콘택과 전기적으로 연결되는 비트라인;

상기 비트라인 콘택, 상기 비트라인, 상기 하부 콘택, 및 상기 제1 층간절연막 상에 형성된 제2 층간절연막;

상기 제2 층간절연막 및 상기 제1 층간절연막을 관통하여 상기 트랜지스터의 소오스 영역과 연결되는 콘택 플러그;

상기 콘택플러그를 포함하는 상기 제2 층간절연막 상에 형성된 캐패시터;

상기 캐패시터 및 상기 제2 층간절연막 상에 형성된 제3 층간절연막;

상기 제3 층간절연막 및 제2 층간절연막을 관통하여 상기 홈을 갖는 하부 콘택을 노출시키는 상부 콘택홀; 및

상기 상부 콘택홀의 내부를 채우는 상부 콘택을 포함하는 반도체 소자.

【청구항 8】

제 7 항에 있어서,

상기 하부 콘택홀의 폭은 상기 비트라인의 두께의 2배보다 더 큰 것을 특징으로 하는 반도체 소자.

【청구항 9】

제 7 항에 있어서,

상기 하부 콘택 및 상부 콘택은 배리어 메탈 및 도전막으로 이루어진 것을 특징으로 하는 반도체 소자.

【청구항 10】

제 9 항에 있어서,

상기 배리어 메탈은 티타늄(Ti) 및 티타늄 나이트라이드(TiN)로 이루어진 것을 특징으로 하는 반도체 소자.

【청구항 11】

제 9 항에 있어서,

상기 도전막은 텅스텐(W)으로 이루어진 것을 특징으로 하는 반도체 소자.

【청구항 12】

제 7 항에 있어서,

상기 하부 콘택과 전기적으로 연결되며, 상기 하부 콘택과 동시에 형성된 상호연결 라인을 더 포함하는 것을 특징으로 하는 도전성 콘택 구조.

【청구항 13】

제 7 항에 있어서,

상기 상부 콘택과 전기적으로 연결되며, 상기 상부 콘택과 동시에 형성된 금속 배선을 더 포함하는 것을 특징으로 하는 도전성 콘택 구조.

【청구항 14】

기판 상에 하부 층간절연막을 형성하는 단계;

상기 하부 층간절연막을 선택적으로 식각하여 상기 기판을 노출시키는 하부 콘택 홀을 형성하는 단계;

상기 하부 콘택홀의 바닥 및 측벽에 내부에 홈을 갖는 하부 콘택을 형성하는 단계;

상기 홈을 갖는 하부 콘택 상에 상부 층간절연막을 형성하는 단계;

상기 상부 층간절연막을 관통하여 상기 홈을 갖는 하부 콘택을 노출시키는 상부 콘택홀을 형성하는 단계; 및

상기 상부 콘택홀의 내부를 도전물질로 채워 상부 콘택을 형성하는 단계를 포함하는 도전성 콘택 구조 제조방법.

【청구항 15】

제 14 항에 있어서,

상기 하부 콘택 및 상기 상부 콘택은 배리어 메탈 및 도전막으로 형성하는 것을 특징으로 하는 도전성 콘택 구조 제조방법.

【청구항 16】

제 15 항에 있어서,

상기 배리어 메탈은 화학 기상 증착(CVD)법을 사용하여 티타늄(Ti) 및 티타늄 나이트라이드(TiN)으로 형성하는 것을 특징으로 하는 도전성 콘택 제조방법.

【청구항 17】

제 15 항에 있어서,

상기 도전막은 화학 기상 증착(CVD)법을 사용하여 텅스텐(W)으로 형성하는 것을 특징으로 하는 도전성 콘택 제조방법.

【청구항 18】

제 14 항에 있어서,

상기 하부 콘택을 형성하면서 동시에 상기 하부 콘택과 전기적으로 연결되는 상호 연결라인을 더 형성하는 것을 특징으로 하는 도전성 콘택 제조방법.

【청구항 19】

제 14 항에 있어서,

상기 상부 콘택을 형성하면서 동시에 상기 상부 콘택과 전기적으로 연결되는 금속 배선을 더 하는 것을 특징으로 하는 도전성 콘택 제조방법.

【청구항 20】

트랜지스터가 형성된 기판 상에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막을 관통하여 상기 기판을 노출시키는 비트라인 콘택홀 및 하부 콘택홀을 형성하는 단계;

상기 비트라인 콘택홀의 내부, 상기 하부 콘택홀의 내부 및 상기 제1 층간절연막 상에 제1 도전막을 형성하는 단계;

상기 제1 도전막을 패터닝하여 비트라인 콘택, 비트라인, 및 하부 콘택을 형성하는 단계;

상기 비트라인 콘택, 상기 비트라인, 상기 하부 콘택 및 상기 제1 층간절연막 상에 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막 및 상기 제1 층간절연막을 관통하여 상기 트랜지스터의 소오스 영역과 전기적으로 연결되는 콘택 플러그를 형성하는 단계;

상기 제2 층간절연막 상에 상기 콘택플러그와 연결되는 캐패시터를 형성하는 단계;

상기 캐패시터 및 상기 제2 층간절연막 상에 제3 층간절연막을 형성하는 단계;

상기 제3 층간절연막 및 제2 층간절연막을 관통하여 상기 하부 콘택을 노출시키는 상부 콘택홀을 형성하는 단계;

상기 상부 콘택홀의 내부 및 상기 제3 층간절연막 상에 제2 도전막을 형성하는 단계; 및

상기 제2 도전막을 패터닝하여 상부 콘택을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

【청구항 21】

제 20 항에 있어서,

상기 하부 콘택홀은 상기 비트라인 두께의 2배보다 크게 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 22】

제 20 항에 있어서,

상기 하부 콘택 및 상부 콘택은 배리어 메탈 및 도전막으로 이루어진 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 23】

제 22 항에 있어서,

상기 배리어 메탈은 티타늄(Ti) 및 티타늄 나이트라이드(TiN)로 이루어진 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 24】

제 22 항에 있어서,

상기 도전막은 텅스텐(W)으로 이루어진 것을 특징으로 하는 반도체 소자.

【청구항 25】

제 20 항에 있어서,

상기 하부 콘택과 전기적으로 연결되며, 상기 하부 콘택과 동시에 형성된 상호연결 라인을 더 포함하는 것을 특징으로 하는 도전성 콘택 구조.

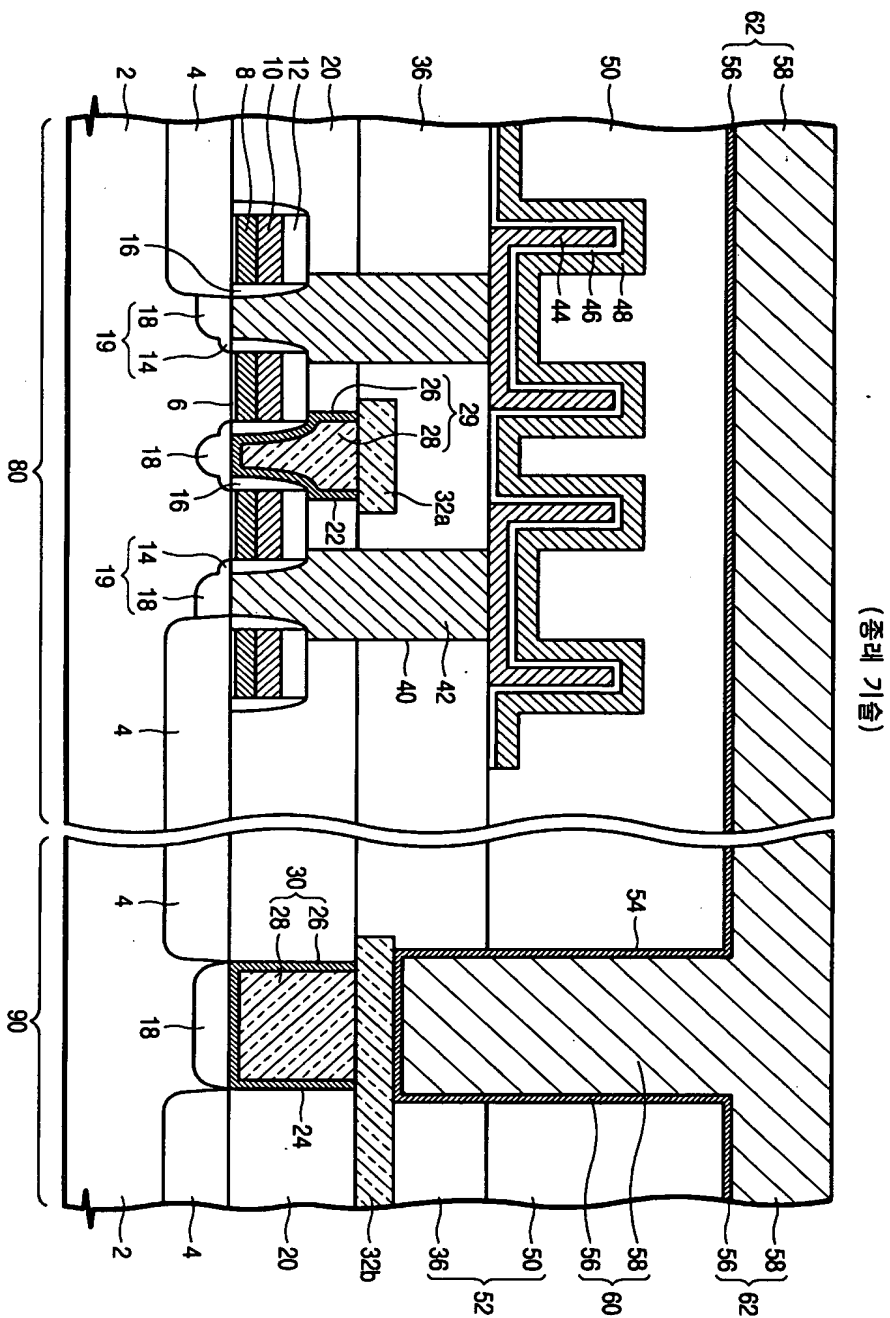
【청구항 26】

제 20 항에 있어서,

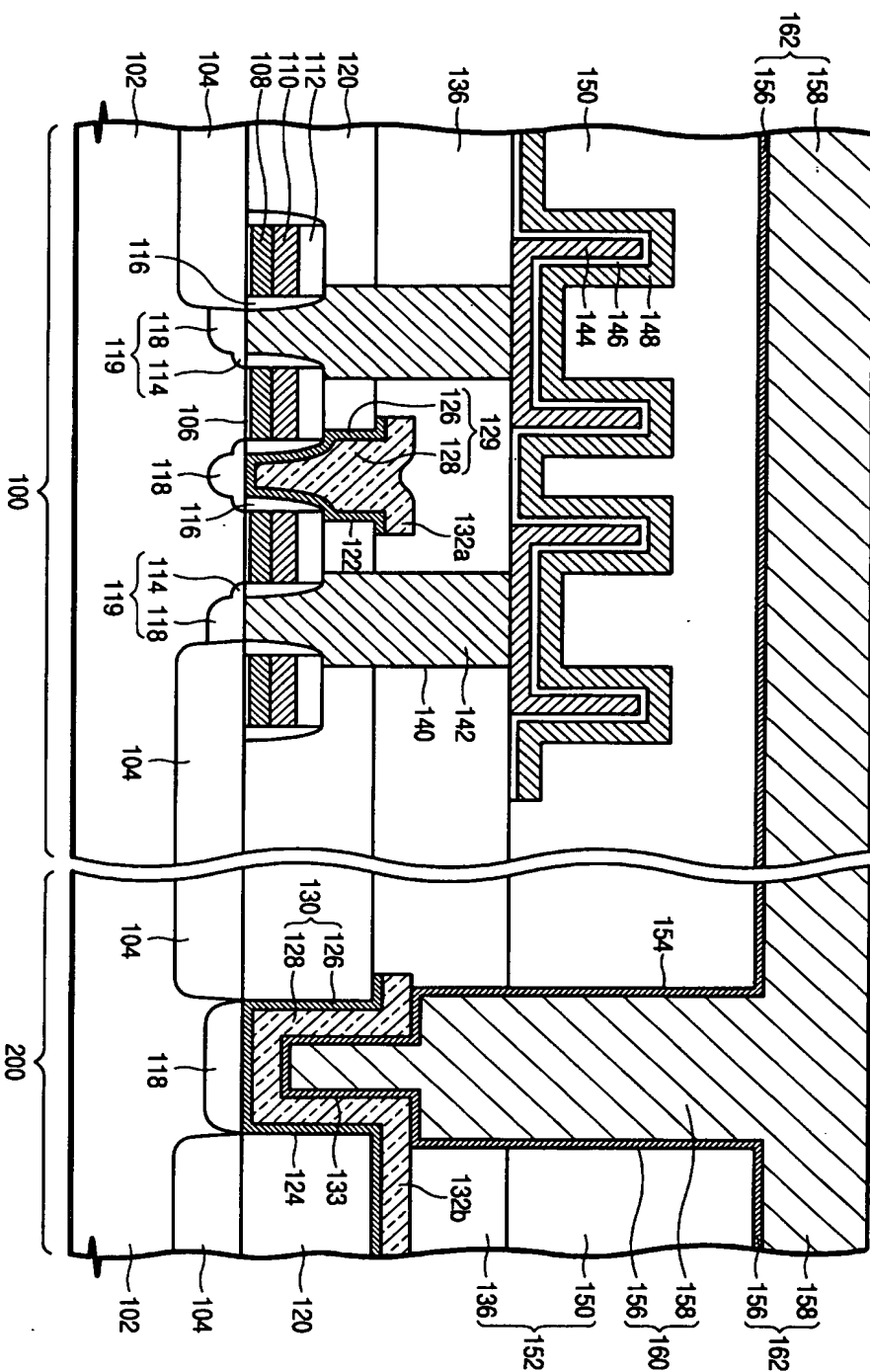
상기 상부 콘택과 전기적으로 연결되며, 상기 상부 콘택과 동시에 형성된 금속 배선을 더 포함하는 것을 특징으로 하는 도전성 콘택 구조.

【도면】

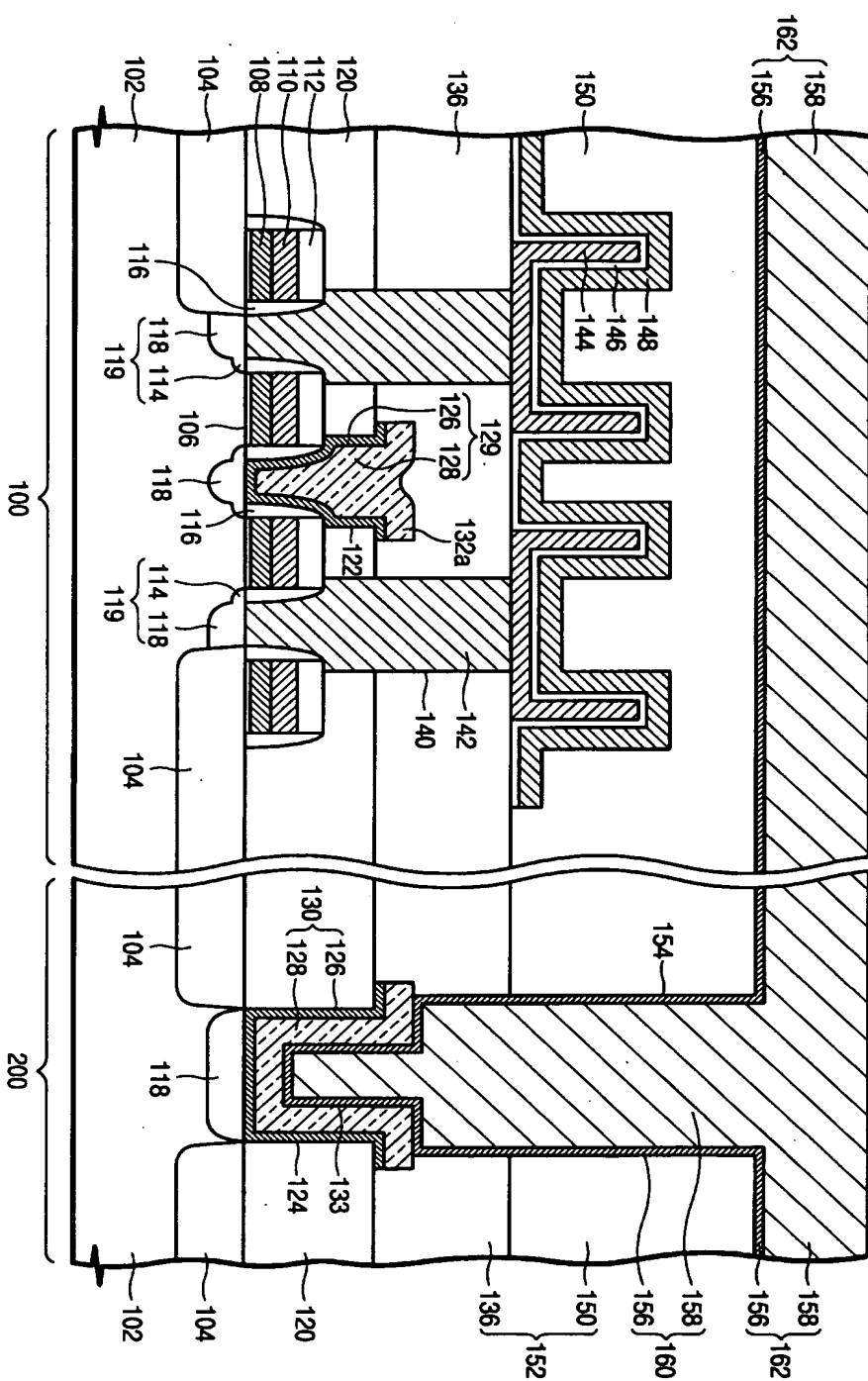
【도 1】



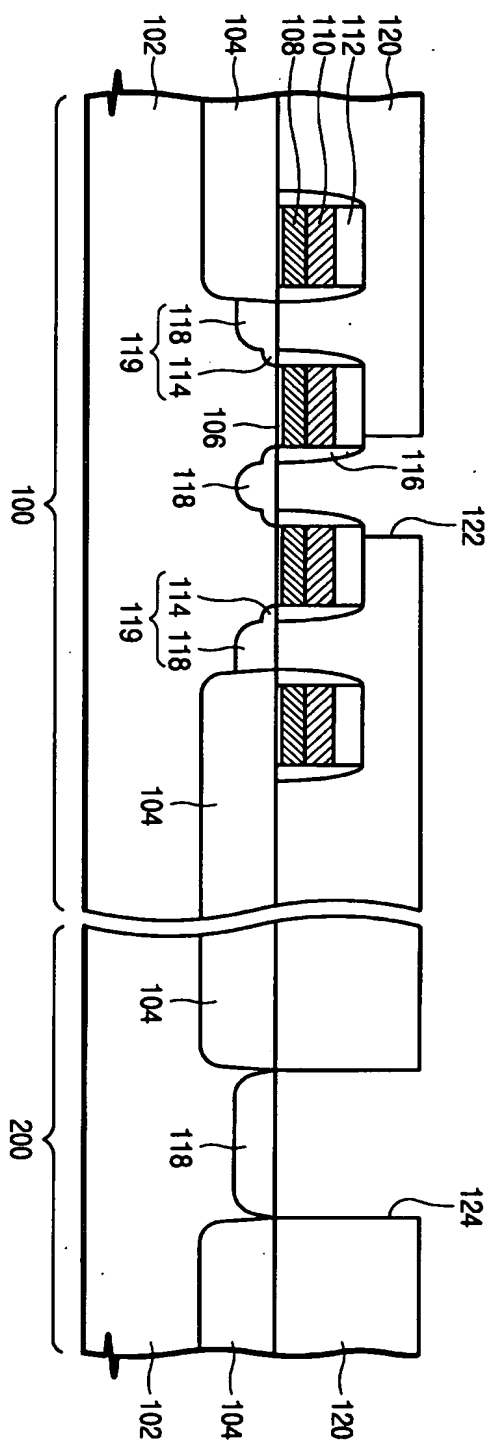
【도 2a】



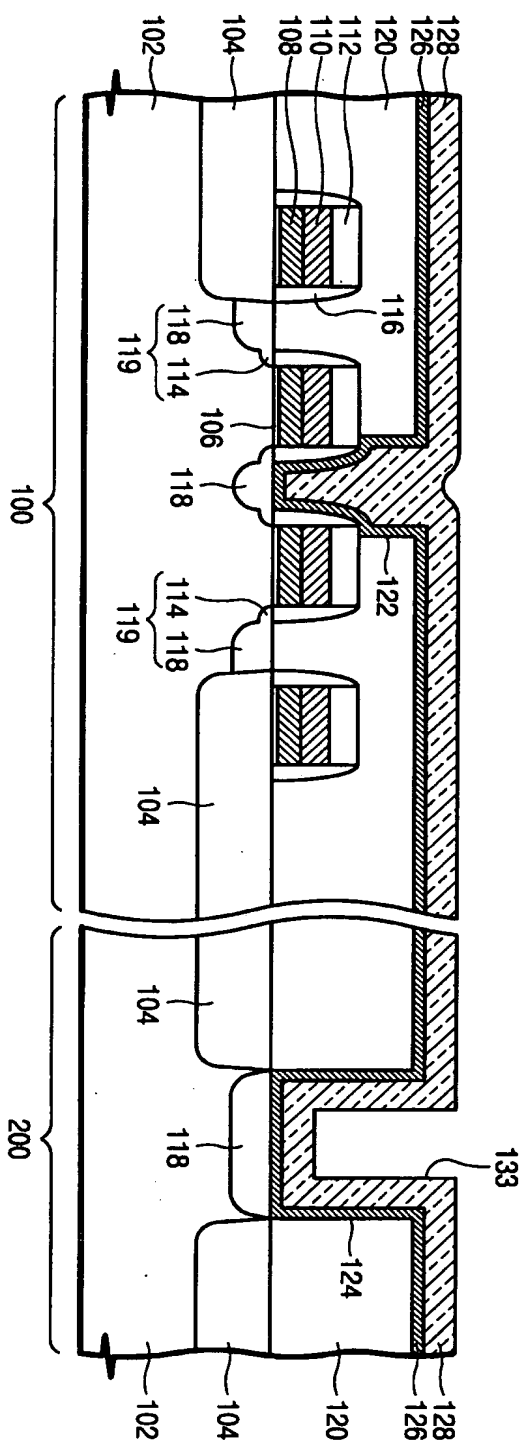
【도 2b】



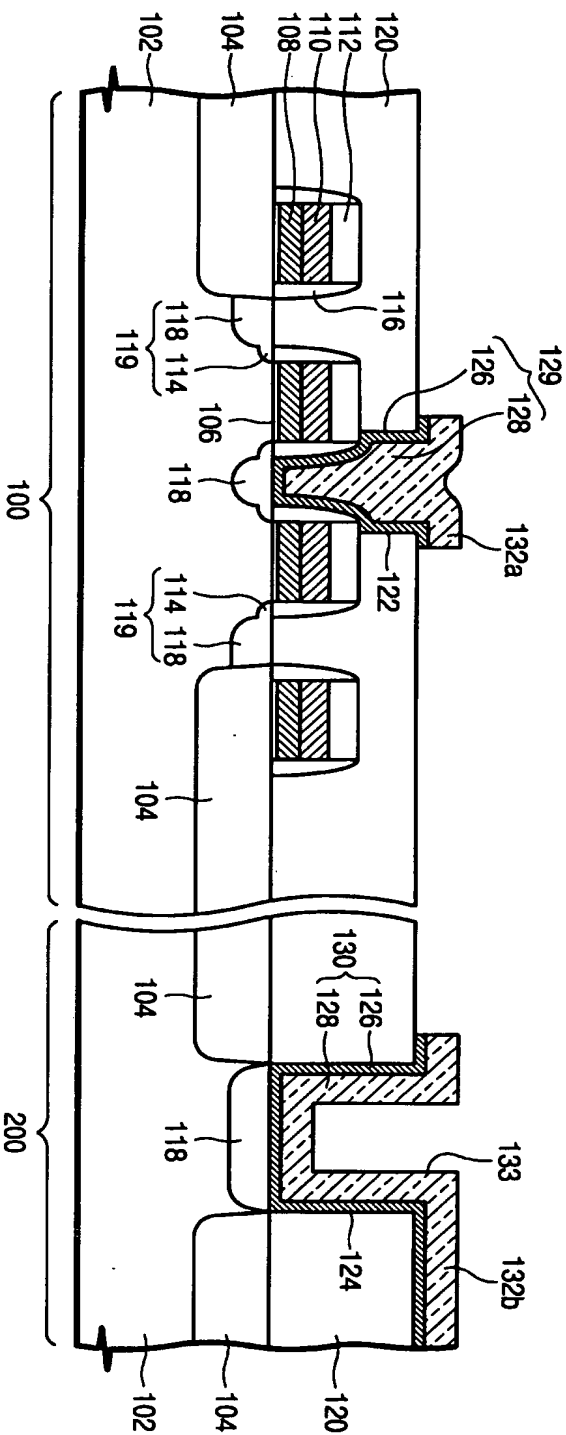
【도 3】



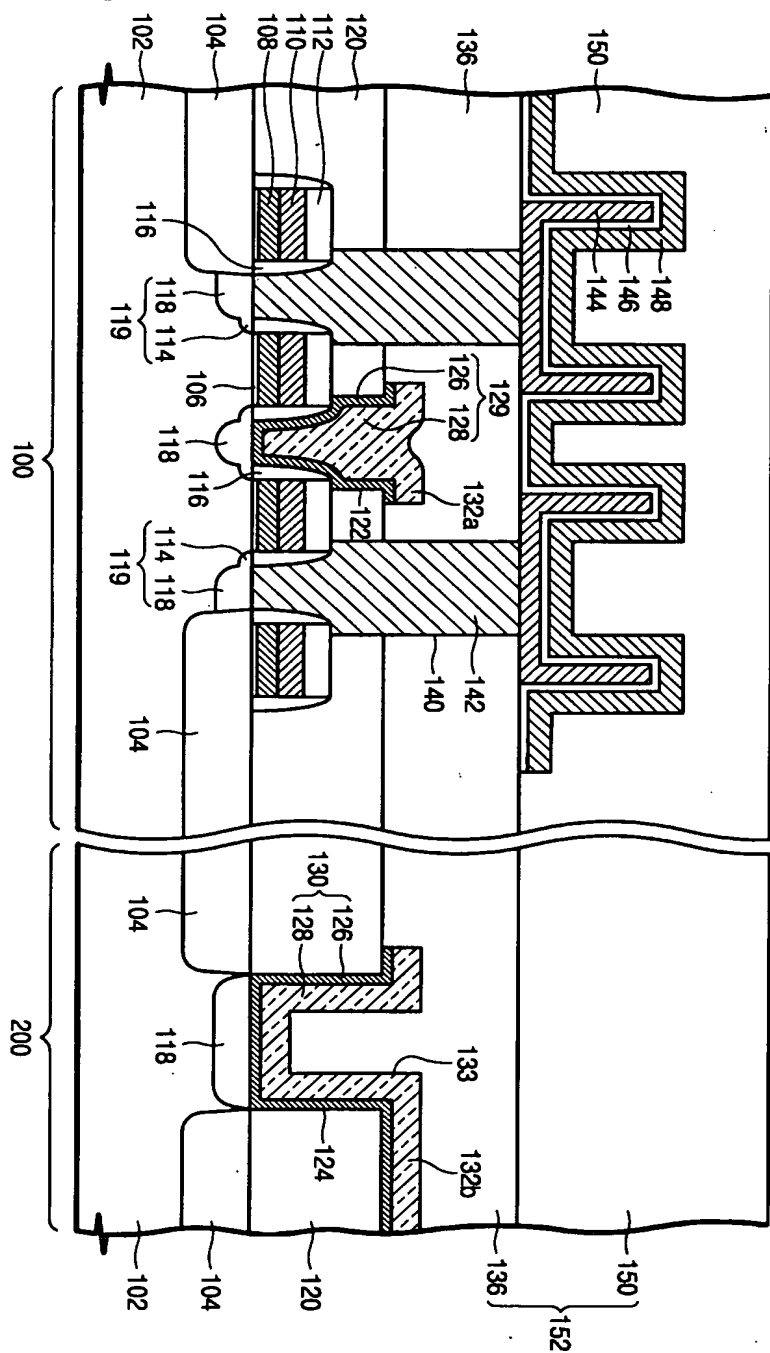
【도 4】



【도 5】



【도 6】



【도 7】

